

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294724

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-102281

(71)Applicant : MATSUSHITA ELECTRONICS
INDUSTRY CORP

(22)Date of filing : 09.04.1999

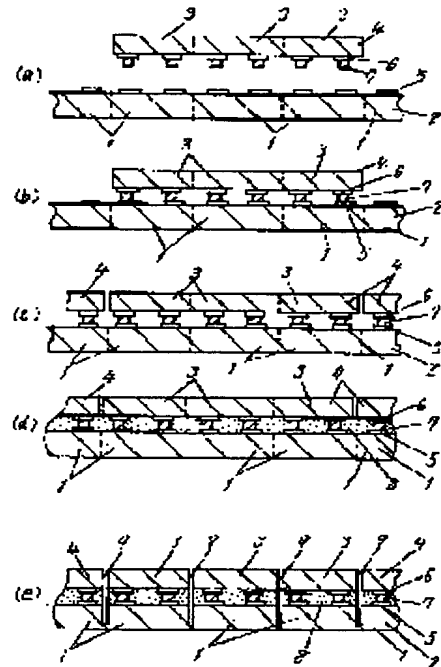
(72)Inventor : FUJIMOTO HIROAKI
NAGAO KOICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of jointing times and to improve productivity by making one width of a first semiconductor chip to be similar to that of a second semiconductor chip and jointing the second semiconductor chip on the first semiconductor chip.

SOLUTION: Bumps 7 on the inner electrodes 6 of a semiconductor stick 4 formed of second semiconductor chips 3 are positioned with the inner electrodes 5 of a semiconductor wafer 2 formed of first semiconductor chips 1 and they are matched. The semiconductor stick 4 is jointed to the semiconductor wafer 2 so that respective surfaces face each other. The processes are sequentially repeated and thermosetting insulating resin 8 is filled in a gap between the semiconductor stick 4 and the semiconductor wafer 2. The semiconductor stick 4, the semiconductor wafer 2 and insulating resin 8 are collectively divided in the same process. Then, one width of the first semiconductor chip 1 and that of the second semiconductor chip 3 are made to be similar.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294724

(P2000-294724A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.⁷

H 0 1 L 25/065

25/07

25/18

識別記号

F I

H 0 1 L 25/08

テマート(参考)

B

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平11-102281

(22) 出願日 平成11年4月9日 (1999. 4. 9)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 藤本 博昭

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 長尾 浩一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100097445

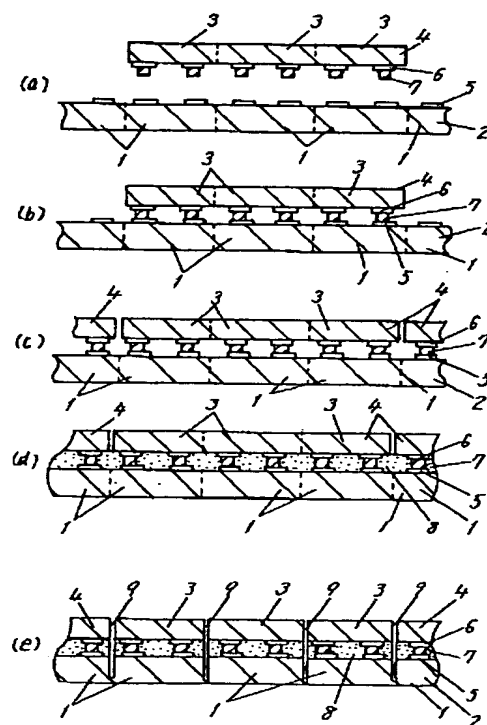
弁理士 岩橋 文雄 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 L S Iチップどうしをフェースダウンで接合するのに、互いのL S Iをチップ状に分割して行くと、接合工程、チップ分割工程において生産性が低いものになってしまう。

【解決手段】 第1の半導体チップ1が形成された半導体ウェハ2に対して、複数個の第2の半導体チップ3よりなる半導体スティック4を順次、その電極どうしを接合し、それらの間隙を絶縁性樹脂8で充填した後、半導体スティック4の裏面側から一括で同時工程により切断することにより、生産性の向上を図り、コストを安くすることができる。



【特許請求の範囲】

【請求項1】 内部電極と外部電極とを有する第1の半導体チップと内部電極を有する第2の半導体チップとがその表面どうしを対向して前記内部電極どうしが電氣的に接合され、前記外部電極が外部支持体の電極に接続され、前記第1の半導体チップの幅と前記第2の半導体チップの幅とが同一の幅寸法であり、第1の半導体チップ上に第2の半導体チップが接合されていることを特徴とする半導体装置。

【請求項2】 第1の半導体チップの幅と第2の半導体チップの幅とが同一の幅寸法であり、前記第1の半導体チップと第2の半導体チップとの同一幅の各側面とが揃うように、第1の半導体チップ上に第2の半導体チップが接合されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 第1の半導体チップの内部電極もしくは第2の半導体チップの内部電極の少なくとも一方が突起電極であることを特徴とする請求項1に記載の半導体装置。

【請求項4】 第1の半導体チップと第2の半導体チップとの間隙には樹脂が充填されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 外部電極及び内部電極を有した第1の半導体チップよりなる半導体ウェハの表面に対して、内部電極を有し、前記第1の半導体チップの幅と同一の幅寸法を有した第2の半導体チップよりなり、かつ前記第2の半導体チップが一列状に複数形成された半導体スティックの表面が向かい合うように前記内部電極どうしを電氣的に接続する工程と、前記半導体ウェハと前記半導体スティックとを一括で同時工程で切断し、前記第2の半導体チップ1個が接続された前記第1の半導体チップを得る工程とよりなることを特徴とする半導体装置の製造方法。

【請求項6】 半導体ウェハと半導体スティックとを同時に切断する前に前記半導体スティックの表面と前記半導体ウェハの表面間に樹脂を充填する工程を有することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 第1の半導体チップの内部電極もしくは第2の半導体チップの内部電極の少なくとも一方に予め突起電極を形成しておくことを特徴とする請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体チップを有した半導体装置及びその製造方法であって、半導体チップどうしが積層状態で実装されたモジュールよりなる半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、LSI半導体装置の低コスト化及び小型化を図るために、互いに異なる機能を有するLS

I又は互いに異なるプロセスにより形成されたLSIを有する半導体チップ同士がフェースダウン方式で接合されてなる半導体装置が提案されている。

【0003】以下、従来のLSI半導体装置について、図3、図4を参照しながら説明する。

【0004】まず、第1の半導体チップ110の上に第1の内部電極111及びボンディングパッド112が形成されているとともに、それら第1の内部電極111は、第2の半導体チップ120の上に第1の内部電極121とははんだよりなるバンパ122を介して互いに電氣的に接続されている。また第1の半導体チップ110と第2の半導体チップ120との間には、絶縁性樹脂130が充填されており、第1の半導体チップ110と第2の半導体チップ120とは、バンパ122及び絶縁性樹脂130によって一体化されている。

【0005】第1の半導体チップ110は、リードフレームのダイパッド131にダイボンド用樹脂により固定されているとともに、第1の半導体チップ110のボンディングパッド112とリードフレームの外部リード132とは、ボンディングワイヤ133を介して電氣的に接続されている。そして第1の半導体チップ110、第2の半導体チップ120、ボンディングワイヤ133、ダイパッド131及び外部リード132の一部であるインナーリード部は封止用樹脂135によってパッケージされている。

【0006】次に従来の半導体装置の製造方法について、図3、図4をもとに説明する。

【0007】まず、第2の半導体チップ120の内部電極121にははんだバンパ122を形成する。次に第1の半導体チップ110がウェハ状態の際に第2の半導体チップ120のはんだバンパ122と第1の半導体チップ110の内部電極111とを一致させ、第2の半導体チップ120を第1の半導体チップ110に設置する。その後、加熱によりはんだバンパ122を溶融させ、第2の半導体チップ120の内部電極121と第1の半導体チップ110の内部電極111とをはんだ付けにより接合する。次に、ダイシングにより第1の半導体チップ110をウェハ状態から個別に分割する。最後に、第1の半導体チップ110をリードフレームのダイパッド131にダイボンド用樹脂によりダイボンドし、第1の半導体チップ110のボンディングパッド112とリードフレームの外部リード132とをボンディングワイヤ133により接続（ワイヤボンディング）し、封止用樹脂135によってパッケージングするものである。

【0008】

【発明が解決しようとする課題】しかしながら、従来の半導体装置では、第1の半導体チップと第2の半導体チップとの幅寸法も一致しておらず半導体装置として小型化を達成できなかった。さらに従来の半導体装置の製造方法によると、第1の半導体チップと第2の半導体チッ

ブとの接続は、第2の半導体チップは個別のチップ状態に分割した後、第1の半導体チップごとに接続する必要があり、半導体チップと半導体チップとの接合がチップ単位ごとであるため、生産性が低くコストの高いものであった。

【0009】本発明は前記従来の課題に鑑み、半導体装置の製造方法を効率的な観点から見直し、生産性のよい半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】前記従来の課題を解決するために、本発明の半導体装置及びその製造方法は以下のような構成を有している。すなわち本発明の半導体装置は、内部電極と外部電極とを有する第1の半導体チップと内部電極を有する第2の半導体チップとがその表面どうしを対向して前記内部電極どうしが電氣的に接合され、前記外部電極が外部支持体の電極に接続され、前記第1の半導体チップの幅と前記第2の半導体チップの幅とが同一の幅寸法であり、第1の半導体チップ上に第2の半導体チップが接合されている半導体装置である。

【0011】そして、第1の半導体チップの幅と第2の半導体チップの幅とが同一の幅寸法であり、前記第1の半導体チップと第2の半導体チップとの同一幅の各側面とが揃うように、第1の半導体チップ上に第2の半導体チップが接合されている半導体装置である。

【0012】また、第1の半導体チップの内部電極もしくは第2の半導体チップの内部電極の少なくとも一方が突起電極である半導体装置である。

【0013】また、第1の半導体チップと第2の半導体チップとの間隙には樹脂が充填されている半導体装置である。

【0014】本発明の半導体装置の製造方法は、外部電極及び内部電極を有した第1の半導体チップよりなる半導体ウェハの表面に対して、内部電極を有し、前記第1の半導体チップの幅と同一の幅寸法を有した第2の半導体チップよりなり、かつ前記第2の半導体チップが一列状に複数形成された半導体スティックの表面が向かい合うように前記内部電極どうしを電氣的に接続する工程と、前記半導体ウェハと前記半導体スティックとを一括で同時工程で切断し、前記第2の半導体チップ1個が接続された前記第1の半導体チップを得る工程とよりなる半導体装置の製造方法である。

【0015】そして、半導体ウェハと半導体スティックとを同時に切断する前に前記半導体スティックの表面と前記半導体ウェハの表面間に樹脂を充填する工程を有する半導体装置の製造方法である。

【0016】また、第1の半導体チップの内部電極もしくは第2の半導体チップの内部電極の少なくとも一方に予め突起電極を形成しておく半導体装置の製造方法であ

る。

【0017】前記構成の通り、第1の半導体チップと第2の半導体チップの少なくとも1つの幅寸法が同一であるため、半導体装置として小型化が実現するとともに、製造工程においては、複数の第1の半導体チップが形成された半導体ウェハ上に対して、複数の第2の半導体チップよりなる半導体スティックを接合し、樹脂充填後、寸法が同一のため一括で同時工程で分割でき、その分割においても制約が少なくなり、生産性が向上するものである。さらに、第1の半導体チップが形成された半導体ウェハに対して、その良品の配列個数に対応した個数よりなる半導体スティックを接合するため、第1の半導体チップの良品歩留まりに応じた製造プロセスを実行でき、効率的な生産を実現できる。また、ウェハ状態から分割し、第2の半導体チップ1個が接続された第1の半導体チップを得た後、第1の半導体チップの外部電極と、パッケージ等の外部支持体の電極とを電氣的に接続することにより、パッケージングされた半導体装置を実現することもできる。

20 【0018】

【発明の実施の形態】以下、本発明の半導体装置及びその製造方法の一実施形態について、図面を参照しながら説明する。図1は本実施形態における半導体装置の製造方法を工程別に示した断面図であり、図2は本実施形態の半導体装置を示す平面図である。そして図2において一部、透過状態を示している。

【0019】図1、図2において、1は第1の半導体チップ、2は第1の半導体チップ1よりなる半導体ウェハ、3は第2の半導体チップ、4は第2の半導体チップ3よりなる半導体スティック、5は第1の半導体チップ1の内部電極、6は第2の半導体チップ3の内部電極、7はパンプ、8は充填用の絶縁性樹脂、9は分割溝、10は第1の半導体チップ1の外部電極、11はボンディングワイヤ、12はリードフレームのリード、13はプラスチックパッケージの樹脂である封止用樹脂を示している。

【0020】まず本実施形態の半導体装置の製造方法について図1(a)～図1(e)を参照して説明する。

【0021】まず、図1(a)に示すように、複数の第2の半導体チップ3よりなる半導体スティック4を準備する。この半導体スティック4は、第2の半導体チップ3が複数個（例えば2～10個）、一列状に連なったもので、第2の半導体チップ3が複数個形成された半導体ウェハから分割することによって得られる。なお後工程において、第1の半導体チップ1が形成された半導体ウェハ2に接合する半導体スティック4に配置する半導体チップ3の個数は、半導体ウェハ2内の第1の半導体チップ1の個数と同一でなくてもよい。ここで第2の半導体チップ3よりなる半導体スティック4の内部電極6には、突起電極であるパンプ7が形成されている。このパ

50

ンプ7の材質は、Pb-Sn、Sn-Ag等のはんだや、Au等であり、形成方法は、めっき、転写法等を用いる。内部電極6は通常Alであるため、めっき法によりパンプ7を形成する場合は、内部電極6上に、TiW、Ti/Pt、Ti/Cu等の薄膜を形成した後に行う。またパンプ7の寸法は、100 [μm] ~ 5 [μm] 程度であり、厚みは100 [μm] ~ 3 [μm] 程度である。パンプ7のピッチは、10 [μm] ~ 200 [μm] 程度である。また、通常、半導体スティック4の第2の半導体チップ3の個数は半導体ウェハ2内の第1の半導体チップ1の個数よりも少なくなるが、必要分の第1の半導体チップ1の個数に対応させて半導体スティック4を構成するものである。これは半導体ウェハ2内の不良の第1の半導体チップ1に対して第2の半導体チップ3を接合することを防止し、余分な工程、工数、工費を省くことができる。つまり、ウェハ状態に対して、一定個数の半導体チップを有し、かつその個数の微調整可能なスティック状態を適用するため、余分な工程等を削除して生産性を向上できるものである。

【0022】次に図1(b)に示すように、半導体スティック4の内部電極6上のパンプ7と第1の半導体チップ1からなる半導体ウェハ2の内部電極5とを位置合わせにより一致させ、半導体スティック4を半導体ウェハ2に、それぞれの表面が向かい合うように接合する。

【0023】次に図1(c)に示すように、複数の半導体スティック4を順次用いて、図1(a)、図1(b)に示した工程を繰り返すことにより、半導体ウェハ2上に複数の半導体スティック4を接合する。ここで、第1の半導体チップ1と第2の半導体チップ3は、MOS集積回路、バイポーラ集積回路、BiCMOS集積回路、化合物半導体との組み合わせ、または同種の集積回路、デバイスの組み合わせである。また、第1の半導体チップ1と第2の半導体チップ3のサイズは、図2に示すように矩形の二辺が同一に設計してある。これは、第2の半導体チップ3のサイズは、第1の半導体チップ1のサイズに合うように第2の半導体チップ3のチップ内のレイアウトを設計することにより、容易に第1の半導体チップ1のサイズに合わすことができる。また、半導体スティック4と半導体ウェハ2の接合は、パンプ7がはんだの場合は、半導体ウェハ2の内部電極5にはんだが拡散する金属膜、例えば、Ni/Au等を形成しておき、150 [$^{\circ}\text{C}$] ~ 280 [$^{\circ}\text{C}$] 程度でのリフローはんだ付けや、加圧加熱による拡散接合等の方法で行う。また、パンプ7がAuの場合は、内部電極5のAlとAu/Al合金が形成できるよう250 [$^{\circ}\text{C}$] ~ 400 [$^{\circ}\text{C}$] 程度の温度と5 [g] ~ 100 [g] 程度の荷重で加熱加圧することにより行う。

【0024】次に、図1(d)に示すように、半導体スティック4と半導体ウェハ2との間隙にエポキシ等の熱硬化性の絶縁性樹脂8を充填する。ここで充填の方法

は、半導体スティック4の端部にディスペンサー等を用い、滴下させることにより充填する。また絶縁性樹脂8の粘度は、1 GPa \cdot s ~ 30 GPa \cdot s 程度である。ここで第1の半導体チップ1の外部電極(図1では図示せず)には、電気的な接続を確保するために接続絶縁性樹脂8が付着しないようにする。なお、第1の半導体チップ1の外部電極については、図2において示している外部電極10である。そして絶縁性樹脂8の充填後、オープン等で150 [$^{\circ}\text{C}$] ~ 250 [$^{\circ}\text{C}$] 程度に加熱し、熱硬化性の絶縁性樹脂8を硬化する。本実施形態では、熱硬化性の絶縁性樹脂8の充填を半導体スティック4を半導体ウェハ2に接合した後に実施しているが、半導体スティック4を接合する工程で、先に半導体ウェハ2上に、液状の絶縁性樹脂8を滴下し、その上から、半導体スティック4を位置合わせ後に加圧加熱することにより、パンプ7と半導体ウェハ2の内部電極5とを接合することにより、絶縁性樹脂8を充填する方法でもよい。

【0025】次に図1(e)に示すように、半導体スティック4の裏面からダイシングソー等により、半導体スティック4と半導体ウェハ2、熱硬化性の絶縁性樹脂8を同時工程で一括で分割し、第1の半導体チップ1に第2の半導体チップ3が接合されたモジュール型の半導体装置を得る。図1(e)においては、半導体スティック4の裏面側からダイシングソーにより溝9を入れて分割している。なお、切断においては、フルカット、セミフルカット等、適宜用いる。このように本実施形態では、半導体装置への分割を第1及び第2の半導体チップを同時に行うため生産性に優れた方法である。

【0026】最後に、第1の半導体チップ1の外部電極とプラスチックパッケージのリードフレームのリードとをボンディングワイヤで接続し、封止用樹脂で封止することにより、半導体装置をパッケージングする。なお、ここで半導体パッケージにはセラミックパッケージや、いわゆるBGA(Ball Grid Array: ボール・グリッド・アレイ)パッケージ、CSP(Chip Size Package: チップ・サイズ・パッケージ)等を用いることもできる。

【0027】以上、本実施形態の通り、第1の半導体チップ1(半導体ウェハ2)への第2の半導体チップ3の接合を、第2の半導体チップが複数個からなる半導体スティック4の状態で行うため、従来のように個別に分割した第2の半導体チップを接合する方式に比べ、接合回数が少なく済み、生産性の高いものである。さらに第1の半導体チップ1が形成された半導体ウェハ2に対して、その良品の配列個数に対応した第2の半導体チップ3の個数よりなる半導体スティック4を接合するため、第1の半導体チップ1の良品歩留まりに応じた製造プロセスを実行でき、効率的な生産を実現できるものである。すなわち、本実施形態の半導体ウェハ2への半導体スティック4の適用に対して、第1の半導体チップ1の

良品配列に対応した半導体スティック4を用いることにより、ムダな工費をなくし、低コスト生産が可能になる。

【0028】本実施形態の半導体装置については、図2に示すように、第1の半導体チップ1上に第2の半導体チップ3がそれぞれ表面を対向して接合され、第1の半導体チップ1の外部電極10と外部支持体の外部接続用のリード12とはボンディングワイヤ11で電氣的に接続されている。そしてリード12の先端部と、第1の半導体チップ1、第2の半導体チップ3およびボンディングワイヤ11は封止用樹脂13にて外囲を封止されている。なお、図2において、第2の半導体チップ3の内部電極6を透視状態で示している。

【0029】ここで本実施形態の半導体装置において、第1の半導体チップ1と第2の半導体チップ3のサイズは、図2に示すように両者が矩形状であって、その内の対向二辺を同一サイズに設計している。すなわち、第1の半導体チップ1の1つの幅寸法と第2の半導体チップ3の1つの幅寸法とを同一寸法としている。これは、第2の半導体チップ3のサイズは、第1の半導体チップ1のサイズに合うように第2の半導体チップ3のチップ内のレイアウトを設計することにより、容易に第1の半導体チップ1のサイズに合わせることができる。

【0030】また、内部電極どうしが電氣的に接合された第1の半導体チップ1と第2の半導体チップ3との表面間に絶縁性樹脂8が充填されており、絶縁性樹脂8は第1の半導体チップ1の表面を完全に覆い、寸法が同一である第1の半導体チップ1の一辺と第2の半導体チップ3の一辺とはその側面が揃い、かつ間隙にある絶縁性樹脂8の側面は、第1の半導体チップ1および第2の半導体チップ3の各辺の側面とが揃うように形成されている構造となっている。

【0031】この構成により、第1の半導体チップ1と第2の半導体チップ3の少なくとも1つの幅寸法が同一であるため、半導体装置として小型化が実現するとともに、製造工程においては、複数の第1の半導体チップ1が形成された半導体ウェハ2上に対して、複数の第2の半導体チップ3よりなる半導体スティック4を接合し、樹脂充填後、寸法が同一のため、一括で同時工程で分割

でき、その分割においても制約が少なくなり、生産性が向上するものである。

【0032】

【発明の効果】以上のように、本発明によれば、第1の半導体チップへの第2の半導体チップの接合を、第2の半導体チップが複数個からなる半導体スティックの状態で行うため、従来のように個別に分割した第2の半導体チップを接合する方式に比べ、接合回数が少なくて済み、生産性の高いものである。また、接合してモジュール化する第1及び第2の2つの半導体チップの半導体ウェハからの分割を、半導体ウェハに半導体スティックを接合した後で、同時工程で一括に切断分割することにより、生産性が高くコストの安い半導体装置を得ることができる。

【0033】さらに本発明の半導体装置の製造方法により、ウェハ状態に対してスティック状態を適用するため、余分な工程等を削除して生産性を向上できるものである。

【図面の簡単な説明】

【図1】本発明の一実施形態における半導体装置の製造方法を示す工程別の断面図

【図2】本発明の一実施形態における半導体装置を示す平面図

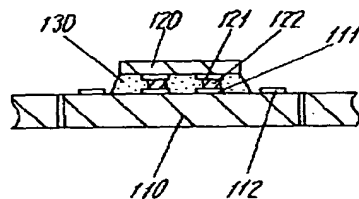
【図3】従来の半導体装置を示す断面図

【図4】従来の半導体装置を示す断面図

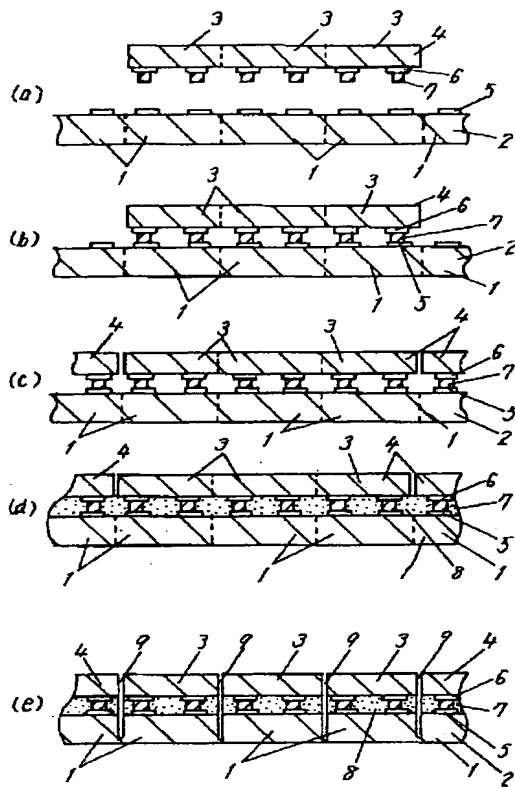
【符号の説明】

- 1 第1の半導体チップ
- 2 半導体ウェハ
- 3 第2の半導体チップ
- 4 半導体スティック
- 5 内部電極
- 6 内部電極
- 7 パンプ
- 8 絶縁性樹脂
- 9 溝
- 10 外部電極
- 11 ボンディングワイヤ
- 12 リード
- 13 封止用樹脂

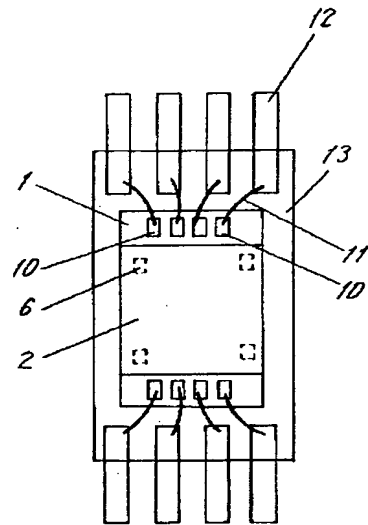
【図4】



【図1】



【図2】



【図3】

